

54 位高速冗余二进制乘法器的设计

崔晓平,高鹏辉,尹洁琚,丁 晶,李 启

(南京航空航天大学 电子信息工程学院, 江苏 南京 210016)

摘 要: 冗余二进制(RB)数是一种有符号数的表示方法,利用冗余二进制算法的进位无关特性和规整的结构,可以设计高速 RB 并行乘法器.系统地研究了 RB 乘法器的算法和结构,给出了基于修正 Booth 算法,RB 部分积压缩树和 RB-NB 转换器的 54b 乘法器的设计过程,并利用并行前缀/进位选择混合加法器对 RB-NB 转换器进行优化设计.采用 Verilog HDL 对乘法器进行描述,并在 ModelSim 平台上进行仿真验证,在 SMIC 0.18 mm 标准工艺库下,通过 Synopsys 公司综合工具 Design Compiler 进行综合,得到 54b RB 乘法器的延时可达到 3.97 ns,面积是 409 293 mm².

关键词: 冗余二进制乘法器;布斯编码;部分积;并行前缀加法器

中图分类号: TP332.2

文献标识码: A

文章编号: 1000-7180(2014)04-0140-04

High-Speed 54×54-b Redundant Binary Multiplier Design

CUI Xiao-ping, GAO Peng-hui, YIN Jie-jun, DING Jing, LI Qi

(College of Electronic and Information Engineering, Nanjing University of Aeronautics & Astronautics, Nanjing 210016, China)

Abstract: Redundant binary representation is one of the signed-digit number systems. High modularity and the carry-free feature of RB arithmetic can be used to design high-speed parallel multipliers. In this paper, the algorithm and structure of RB multiplier is systematically studied. The 54-bit RB multiplier is designed by the modified Booth algorithm, RB partial product accumulator and RB-NB converter. The hybrid parallel-prefix/carry-select adder is used to design optimized RB-NB converter. The multiplier has been realized by Verilog HDL and simulated in the ModelSim platform. Under SMIC 0.18 mm standard process library, the synthesis results of this design by Design Compiler show that the delay can be reduced to 3.97 ns and the area is 409 293 mm².

Key words: Redundant Binary multiplier; Booth encoding; partial products; Parallel prefix adder

1 引言

乘法器是微处理器、数字信号处理中最关键最基本的运算单元,它能够提供强大的数学运算以进行实时性信号处理,乘法器运算速度直接影响处理器以及各种复杂算法的运行速度.冗余二进制(Redundant Binary, RB)数是一种有符号数的表示方法,Avizienis 首次将冗余二进制数应用于快速并行算法^[1]. Takagi, et al^[2]将该算法用于快速乘法器的设计中.1988 年,Edamatsu, et al^[3]将 RB 数用于 VLSI 的设计.由于冗余二进制加法器的进位无关特性和规整的结构,在乘法器的设计中以 RB 数的形式对部分积进行压缩^[4,5]并通过 RB-二进制(nor-

mal binary, NB)转换器将 RB 积转换为 NB 积^[6,7],也就是在 RB 系统里完成二进制数的加法和乘法运算. RB 乘法器主要包括三个关键模块,分别为 RB 部分积产生模块、RB 部分积压缩树模块和最终的 RB-NB 转换模块.

本文系统地研究了 RB 乘法器各个模块的算法和结构,给出 54-b RB 乘法器的设计过程,并利用并行前缀/进位选择的混合加法器对 RB-NB 转换器进行优化设计.

2 冗余二进制乘法器的结构

在高速并行乘法器的设计中,基-4 Booth 算法或修正 Booth 编码(modified Booth encoding,

MBE)^[8]使部分积的个数减少一半. MBE 算法如表 1 所示,修正 Booth 编码的核心是利用简单的移位和取反操作来获取每一行的部分积. 图 1 给出 MBE 的编码器和解码器的电路图^[9],编码部分主要产生相关控制信号,解码部分使用控制信号来选择对应的部分积.

表 1 MBE 算法

$B_{2i+1} B_{2i} B_{2i-1}$	部分积
0 0 0	0
0 0 1	+A
0 1 0	+A
0 1 1	+2A
1 0 0	-2A
1 0 1	-A
1 1 0	-A
1 1 1	0

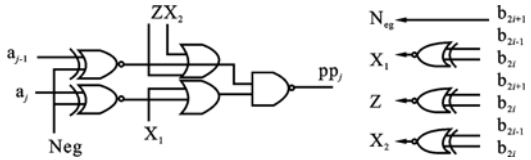


图 1 MBE 编码器和解码器的电路图

每两个相邻的 NB 部分积构成一个 RB 部分积,两个 N 位 NB 部分积 A 和 B 相加可以表示为

$$A + B = A - \bar{B} - 1 = (-a_N 2^N + \sum_{i=0}^{N-1} a_i 2^i) - (-\bar{b}_N 2^N + \sum_{i=0}^{N-1} \bar{b}_i 2^i) - 1 = -(a_N - \bar{b}_N) 2^N + \sum_{i=0}^{N-1} (a_i - \bar{b}_i) 2^i - 1 = (A, \bar{B}) - 1 \quad (1)$$

由式(1),一个 RB 部分积可以表示为 $(A, \bar{B})$,它由数集 $\{\bar{1}, 0, 1\}$ 构成. 每一个 RB 数 X_i 由位对 (x_i^-, x_i^+) 表示,表 2 给出两种常用 RB 编码方法,本文按编码方法 2 进行编码.

表 2 冗余二进制编码表

(x^-, x^+)	编码方法 1	编码方法 2
(0, 0)	0	$\bar{1}$
(0, 1)	$\bar{1}$	0
(1, 0)	1	0
(1, 1)	0	1

RB 部分积的产生过程中会产生一行修正字^[5]. 由 MBE 算法产生部分积时,当被乘数需要乘以 -1 或 -2 时,需要对被乘数取反,然后在部分积的最低位加 1,因此产生 +1 修正值. 由式(1),当两个相邻的 NB 部分积构成一个 RB 部分积时,产生 -1 修正值. 将基-4 Booth 编码和 RB 编码产生的

修正值合并成一个修正字,可以一次性完成纠错,该修正字的形式为 $\cdots 0E0F0E0F$,其中 $E \in \{0, 1\}$, $F \in \{0, \bar{1}\}$. 对于 E,该位仅受 MBE 的影响,当被乘数需取反时,对应最低位的 $E=1$,否则 $E=0$. 对于 F,由于受 Booth 编码和 RB 编码的影响,取值为 -1 或 0. 当部分积需要加 +1 修正时, $F=\bar{1}+1=0$,即该位取 0,否则 $F=-1$.

图 2 为一个 8 位冗余二进制乘法器的部分积产生实例图. 图 2 中的第一行部分积 PP_1 和第三行部分积 PP_3 的最高 2 位是符号扩展位,该 2 位由符号位确定并互为反函数. 第二行部分积 PP_2 和第四行部分积 PP_4 的最高位取反^[4].

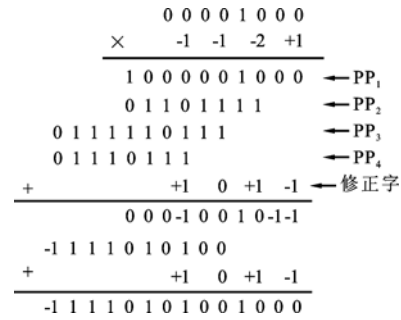


图 2 8 位冗余二进制乘法部分积产生实例图

RB 乘法器部分积压缩树将所有的 RB 部分积相加,最后压缩为 1 行 RB 数. 压缩模块的基本单元是 RB 加法器. 构成一个 RB 加法器的进位无关规则需保证其进位输出与进位输入无关,表 3 所示为 RB 全加法器(RBFA)的进位无关加法规则^[4].

表 3 RBFA 加法器规则

x_k	y_k	$x_{k-1} y_{k-1}$	c_k	s_k
1	1	—	1	0
1	0	全非负	1	$\bar{1}$
0	1	其他	0	1
1	$\bar{1}$	—	0	0
$\bar{1}$	1	—	0	0
0	0	—	0	0
0	$\bar{1}$	全非负	0	$\bar{1}$
$\bar{1}$	0	其他	$\bar{1}$	1
$\bar{1}$	$\bar{1}$	—	$\bar{1}$	0

RBFA 的逻辑表达式如式(2)所示^[4]. 当 $y_k = 0$ 时,可以获得 RB 半加法器(RBHA).

$$\begin{aligned} g_k &= (x_k^- \oplus x_k^+) \oplus (y_k^- \oplus y_k^+) \\ h_k &= x_k^- x_k^+ + y_k^- y_k^+ \\ \bar{c}_k &= (x_k^- + x_k^+) (y_k^- + y_k^+) \\ c_k^+ &= g_k \bar{c}_{k-1} + \bar{g}_k h_k \\ \bar{s}_k &= g_k \oplus \bar{c}_{k-1} \\ s_k^+ &= c_{k-1}^+ \end{aligned} \quad (2)$$

RB 加法器的进位无关规则保证了冗余二进制数加法运算的时间是一个定值,该值只取决于电路结构本身,而与操作数字长没有关系.每一级的部分积压缩都是由若干个 RBFA 和 RBHA 组成.对于 N 位乘法器,共产生 $\lceil N/4 \rceil$ 个 RB 部分积和一行纠错字.将 $\lceil N/4 + 1 \rceil$ 个 RB 部分积经 $\lceil \log_2(N/4 + 1) \rceil$ 级压缩后得到一个冗余二进制数,最后通过 RB-NB 转换器得到二进制数的乘积.第 i 位 RB-NB 转换真值表^[7]如表 4 所示.

表 4 RB-NB 转换真值表

x_i^-, x_i^+	c_i	c_{i+1}	s_i
0(1,0)(0,1)	0	0	0
0(1,0)(0,1)	1	1	1
1(1,1)	0	0	1
1(1,1)	1	0	0
$\bar{1}(0,0)$	0	1	1
$\bar{1}(0,0)$	1	1	0

根据表 4,可以得到 s_i 和 c_{i+1} 的逻辑表达式如式 (3) 和式 (4):

$$s_i = \overline{c_i} \oplus (x_i^- \oplus x_i^+) \quad (3)$$

$$c_{i+1} = \overline{x_i^- + x_i^+} + \overline{x_i^- x_i^+} \cdot c_i \quad (4)$$

从逻辑表达式 (4) 可以得出,加法器的电路结构可以用于 RB-NB 转换器的设计中.以并行前缀加法器结构为例,将常见的并行前缀树形结构用于 RB-NB 转换器的设计中,只要将第 i 位的进位产生信号和进位传递信号用 $g_i = \overline{x_i^- + x_i^+}$ 和 $p_i = \overline{x_i^-} \cdot \overline{x_i^+}$ 表示即可,其他运算都符合并行前缀运算原理.

常用的并行前缀结构包括 Sklansky (SK) 结构^[10]、Kogge-Stone (KS) 结构^[11] 和 Brent-Kung (BK) 结构^[12].在这三种结构中,BK 结构的面积-时间乘积是最小的,但是它的延迟时间最长.KS 结构的面积和功耗最大,且连线过多,因此增大了布局布线的难度.SK 结构具有最短的延迟时间和最小的互连线面积,但随着操作数位数的增大,其最大扇出数呈线性增长,导致延迟时间增大.因此只要解决好 SK 结构随位数的增大导致延时增大的问题,SK 的速度和面积优势将会体现出来^[13].

对于宽位并行前缀加法器,由于产生较多的前缀运算,电路的设计更加复杂.为了解决这一问题,文献[14]提出了并行前缀/进位选择加法器的结构,在不增加加法器的延时的情况下,减少并行前缀结

构的复杂度.文献[13]提出了基于 SK 优化结构的并行前缀/进位选择加法器.

3 54b 冗余二进制乘法器设计

54b 冗余二进制乘法器包括 RB 部分积产生, RB 部分积压缩树和 RB-NB 转换器三个模块.在 RB 部分积产生模块,共产生 14 个 RB 部分积和一行纠错字.15 个 RB 部分积经 4 级压缩后得到一个冗余二进制数,最后通过 106 位 RB-NB 转换器得到二进制数的乘积.

采用图 1 所示的 MBE 编、解码器完成 RB 部分积的产生.RBFA 和 RBHA 被用于 RB 部分积的压缩,共需 4 级压缩 ($14+1 \rightarrow 7+1 \rightarrow 4 \rightarrow 2 \rightarrow 1$).

并行前缀/进位选择混合加法器被广泛应用于宽位加法器的设计中.为了获得高速、低功耗的乘法器,通过对 64 位基于 SK 优化结构的并行前缀/进位选择混合加法器进行优化扩展得到 106 位转换器.106 位基于 SK 优化结构的并行前缀/进位选择加法器结构如图 3 所示,它由预处理模块、前缀进位树模块和进位选择加法器模块构成.

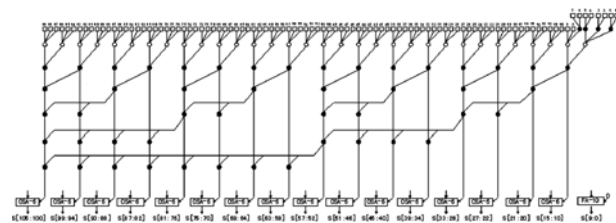


图 3 106 位基于 SK 优化结构的 RB-NB 转换器

预处理模块对 100 位被加数和加数信号进行预处理得到进位产生信号和进位传递信号.由于 RB 部分积压缩过程中低 8 位的 RB 数最先得到,首先对低 8 位的冗余二进制数每 2 位一组进行并行前缀运算,所产生的 4 个进位产生和进位传递信号与高 92 位进位产生信号 g 和进位传递信号 p 每 3 位一组按照式 (5) 进行运算.

$$\begin{aligned} G_{i+2,i} &= g_{i+2} + p_{i+2} g_{i+1} + p_{i+2} p_{i+1} g_i \\ P_{i+2,i} &= p_{i+2} p_{i+1} p_i \end{aligned} \quad (5)$$

式中, $G_{i+2,i}$ 和 $P_{i+2,i}$ 是 3 位方块进位产生信号和方块进位传递信号.被加数和加数经预处理模块处理后共产生 32 个运算结果.后级的前缀进位树模块的运算结构与 64 位基于 SK 优化结构的并行前缀结构相同^[13],进位选择加法器模块的位数由 4 位扩展为 6 位,因此将 64 位加法器扩展为 106 位加法器.上述方法在不增加运算级数的情况下,将 64 位转换器扩展为 106 位转换器,仅仅是第一次 G、P 运算时,将 64

位时的两个一组改成106位时的三个一组,只增加少量的延时。

4 实验数据及结果

为了获得建议的54位RB乘法器,采用图1的MBE编解码电路产生部分积,RBFA和RBHA用于构成RB乘法器的4级压缩模块,将扩展的64位基于SK优化结构的并行前缀/进位选择混合加法器用于RB-NB转换器。使用Verilog HDL语言对54位RB乘法器进行描述,并在ModelSim平台上进行仿真验证。在SMIC 0.18 μm CMOS标准工艺库下,通过Synopsys公司综合工具DC进行综合,最终得到54位RB乘法器的综合结果如表5所示。

表5 冗余二进制乘法器综合结果

冗余二进制乘法器	
延时/ns	3.97
面积/ mm^2	409 293

5 结束语

RB乘法器主要包括RB部分积产生模块、RB部分积压缩模块和最终NB-RB转换器模块三个关键模块。由于RB加法器的进位无关特性和规整的结构,在乘法器的设计中以RB的形式对部分积进行压缩并通过RB-NB转换器将RB积转换为NB积。为了获得高速54位RB乘法器,将并行前缀/进位选择混合加法器应用于宽位加法器的设计中,通过对64位基于SK优化结构的并行前缀/进位选择混合加法器进行优化扩展得到106位RB-NB转换器。在SMIC 0.18 μm CMOS标准工艺库下,通过Synopsys公司综合工具Design Compiler进行综合,54b RB乘法器的延时可达到3.97 ns,面积是409 293 mm^2 。

参考文献:

- [1] Avizienis A. Signed-digit number representations for fast parallel arithmetic[J]. IRE Trans Electron Computers, 1961(10):389-400.
- [2] Takagi N, Yasuura H, Yajima S. High-speed VLSI multiplication algorithm with a redundant binary addition tree[J]. IEEE Trans Comput, 1985, 34(9):

789-796.

- [3] Edamatsu H, Taniguchi T, Nishiyama T, et al. A 33 MFLOPS floating point processor using redundant binary Representation[C]// IEEE Int. Solid-State Circuits Conf (ISSCC) Dig Tech Papers. San Francisco, CA: IEEE,1988:152-153.
- [4] Makino H, Nakase Y, Suzuki H, et al. An 88-ns 54 $\times$ 54-bit multiplier with high speed redundant binary architecture[J]. IEEE J Solid-State Circuits, 1996, 31(6):773-783.
- [5] Kim Y, Song B S, Grosspietsch J, et al. A carry-free 54b $\times$ 54b multiplier using equivalent bit conversion algorithm[J]. IEEE J Solid-State Circuits, 2001, 36(10):1538-1545.
- [6] He Y, Chang C H. A power-delay efficient hybrid carry-lookahead carry-select based redundant binary to two's complement converter[J]. IEEE Trans Circuits Syst I Reg Papers, 2008, 55(2):336-346.
- [7] Wang G, Tull M P. A new redundant binary number to 2's-complement number converter[C]// Region 5 Conference: Annual Technical and Leadership Workshop. [s. l.]:IEEE,2004:141-143.
- [8] MacSorley O L. High-speed arithmetic in binary computers[J]. IRE Proc, 1961(49):67-91.
- [9] Yeh W C, Jen C W. High-speed booth encoded parallel multiplier design[J]. IEEE Trans Comput, 2000, 49(7):692-701.
- [10] Sklansy J. Conditional sum addition logic [J]. IRE Trans Electron Computers, 1960, EC-9(6):226-231.
- [11] Kogge P M, Stone H S. A parallel algorithm for Efficient solution of a general class of recurrence equations [J]. IEEE Trans Comput, 1973, 22(8):786-793.
- [12] Brent R P, Kung H T. A regular layout for parallel Adders [J]. IEEE Trans Comput, 1982, 31(3):260-264.
- [13] 王晓径,崔晓平. Sklansky并行前缀加法器的优化设计[J]. 微电子学与计算机, 2013, 30(1): 97-99.
- [14] Dimitrakopoulos G, Nikolos D. High-speed parallel-prefix VLSI Ling adders[J]. IEEE Trans Comput, 2005, 54(2):225-231.

作者简介:

崔晓平 女,(1962—),硕士生导师。研究方向为数字系统设计与计算机应用、集成电路设计。